

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-290399  
(43)Date of publication of application : 27.10.1998

(51)Int.Cl. H04N 5/335

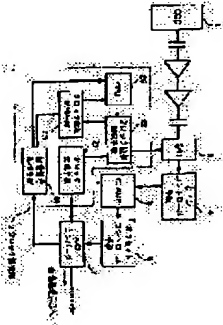
(21)Application number : 09-096285 (71)Applicant : FUJI XEROX CO LTD  
(22)Date of filing : 15.04.1997 (72)Inventor : ISHIKAWA HIROYUKI

(54) IMAGE READER

(57)Abstract:

PROBLEM TO BE SOLVED: To read image information using the set signals of an optimum phase by selecting the one to be a high level among image signal levels obtained by respective set signals from the plural set signals of the different phases generated in a clock phase control means even when characteristic change due to the dispersion of a device and temperature fluctuation relating to clock generation is present.

SOLUTION: In an image signal storage means 24, plural image data corresponding to the sample-and-hold of the different phases at the time of fetching the images of the same light quantity by a white reference plate are stored. In a program processing by a CPU 25, from the plural image data corresponding to the sample-and-hold of the different phases stored in the image signal storage means 24, the one to be a highest output level is selected. At the time of the selection, single pixel data corresponding to respective clocks A, B and C can be turned to the image data under consideration or the respective plural pixel data corresponding to the respective clocks A, B and C can be turned to the image data under consideration.



LEGAL STATUS

[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's

decision of rejection]  
[Date of extinction of right]

Copyright (C): 1998,2000 Japanese Patent Office



レベルのオフセットを調整するオフセットコントローラ手段6と、画像信号をデジタル変換するA/Dコンバータ7とから構成されている。

【0012】また、この画像読み取り装置の主要部であるクロック制御部は、所定周期のクロックを生成するクロック生成手段2.1と、クロック生成手段2.1からクロックを得て、位相の異なる複数のクロックを生成するクロック位相制御手段2.2と、位相の異なる複数のクロックの中から最適なクロックの位相を記憶するクロック位相記憶手段2.3と、A/Dコンバータ7を介してデジタル変換された画像信号を記憶する画像信号記憶手段2.4と、アログラム処理によって各種制御を行うCPU2.5とから構成されている。

【0013】本実施形態では、このクロック制御部2により、クロック生成のための各種回路のはつきや温度変動による特性変化を吸収できる最適な位相のクロックを決定し、その位相によるクロックで画像情報の読み取りを行う点に特徴がある。

【0014】図2はクロック位相制御手段の構成例を示すブロック図である。クロック位相制御手段2.2は、例えば複数の遅延素子2.2a、2.2b、2.2c、2.2dが直列に接続された多段構成となっており、スイッチ部2.2s（回路構成でもよい）の切り換えによって入力クロックが通過する遅延素子の段数を切り換えて、各々異なる位相のクロックを出力できるようにになっている。

【0015】次に、具体的な動作を説明する。通常、画像読み取り装置には、同じ光量の画像情報を読み取ってシェーディング補正を行うための白基準板（図示せず）が掛けられている。

【0016】まず、この白基準板から同じ光量の画像情報をCCD1によって読み取る。次に、クロック位相制御手段2.2から位相の異なる複数のクロックを生成し、各クロックをサンプリング回路（S/H）3へ送って、この各クロックによるサンプリングを行うことで、各々異なるレベルを取り出す。

【0017】この際、クロック位相制御手段2.2で生成する位相の異なる複数のクロックは、CCD出力をサンプリングできる期間をやや上回る程度（CCDの1出力あたり20MHz程度の動作を行う場合、20ns程度の）の位相のずれ幅の中に複数相違しておく。

【0018】複数のクロックによってサンプリングした場合、各クロックの位相によって得られる画像信号レベル（出力レベル）が変化することになる。図3はCCDの出力波形と各クロックとの位相関係を示す図である。

【0019】CCDの出力波形は、リセット期間、黒レベル基準期間、画像信号期間の繰り返し波形となり、この画像信号期間においてサンプリングを行うことにより画像信号を得ている。クロック位相制御手段2.2（図1参照）は、この画像信号期間の内で、例え

は位相の異なる3つのクロックA、B、Cを出力する。サンプリングホールドは、各クロックA、B、Cの立ち上がり部分で行われ、その時点での画像信号レベルが出力レベルとなる。

【0020】図4はサンプリングホールドのタイミングによる出力レベルの違いを示す図である。すなわち、あるCCDセンサ出力波形（画像信号期間）において、各々位相の異なるクロックA、B、C（図3のクロックA、B、Cに対応している）でサンプリングを行うと、その位相に応じたホールドタイミングが変化し、各々異なる出力レベルとなる。

【0021】図4に示す例では、クロックCでサンプリングホールドした場合の出力レベル、クロックAでサンプリングホールドした場合の出力レベル、クロックBでサンプリングホールドした場合の出力レベル、の順に大きくなっている。

【0022】また、本実施形態では、各クロックA、B、Cに基づき得た各出力レベルの画像信号を、図1に示すオフセットコントローラ手段4、オフセットコントローラ手段6等を経てA/Dコンバータ7によって量子化する。また、この量子化された画像データを、各クロックの位相と対応させて画像信号記憶手段2.4に記憶しておく。

【0023】つまり、画像信号記憶手段2.4には、白基準板による同じ光量の画像を読み込んだ際の、位相の異なるサンプリングホールドに対応した複数の画像データが記憶されることになる。なお、この複数の画像データを記憶する記憶手段として、シェーディング処理を行う際に用いるシェーディングメモリ（図示せず）の一部を用いるようにしてもよい。

【0024】次に、CPU2.5（図1参照）でのプログラム処理で、画像信号記憶手段2.4に記憶された位相の異なるサンプリングホールドに対応した複数の画像データの中から最大の出力レベルとなっているものを選択する。この選択の際、各クロックA、B、Cに対応した単数の画像データを注目画像データとしても、各クロックA、B、Cに対応した各々複数の検出データを注目画像データとしてもよい。複数注目する場合には、注目する複数の出力レベルをクロックの位相毎に平均し、その平均値を採用し、出力レベルを比較する。

【0025】そして、ここで選択された最大の出力レベルとなるクロックの位相をクロック位相記憶手段2.3（図1参照）に記憶し、その後の画像情報の読み取りを行う場合のサンプリングホールドのクロックの位相として決定する。

【0026】図4に示す例では、クロックBでの出力レベルが最大となっていることから、このクロックBの位相をクロック位相記憶手段2.3に記憶し、その後の画像情報の読み取りでは、この位相のクロックを採用することになる。

【0027】なお、出力レベルが最大となるクロックが複数存在する場合には、そのうちの最も早い位相と最も遅い位相との中間の位相を採用する。これにより、サンプリングホールドのタイミングにおけるアーティファクトもできなくなる。

【0028】このように、各々位相の異なる複数のクロックを用いて白基準板の画像情報をCCDに取り込んだ際の出力信号をサンプリングホールドし、その中から出力レベルの最大となるクロックの位相を、実際の画像情報読み込みにおけるクロックの位相とすれば、クロック生成にかかわる各種回路ではらつきや温度変動による特性変化があらわれる場合でも、その誤差を吸収できる最適な位相のクロックでサンプリングホールドできるようにする。

【0029】この一連の動作は、画像読み取り装置の制御部や、シェーディング補正と同時期、画像形成処理の直前または直後などに必要に応じて行える。これによって、各種回路のはつきや特性変化があっても最適な位相のクロックで画像読み取りを行うことが可能となる。

【0030】なお、上記説明した実施形態では、位相の異なる複数のクロックとしてA、B、Cの3つを生成する例を示したが、本発明はこれに限定されず、さらに多くのクロックを生成して、その中から最適な位相のものを決定するようにしてもよい。

【0031】

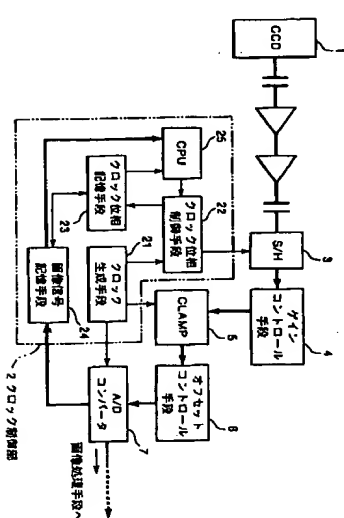
【発明の効果】以上説明したように、本発明の画像読み取り装置によれば次のような効果がある。すなわち、図

像信号を取り出す設定信号のタイミングを適切に制御できることから、クロック生成にかかわる各種回路ではらつきや温度変動による特性変化があってもそれを吸収でき、信号処理の動作間隔が狭くなくても正確なタイミングで画像信号を取り出すことが可能となる。

【図面の簡単な説明】  
【図1】 本実施形態を説明するブロック図である。  
【図2】 クロック位相制御手段の構成例を示すブロック図である。  
【図3】 出力波形と各クロックとの位相関係を示す図である。  
【図4】 ホールドタイミングによる出力レベルの違いを示す図である。

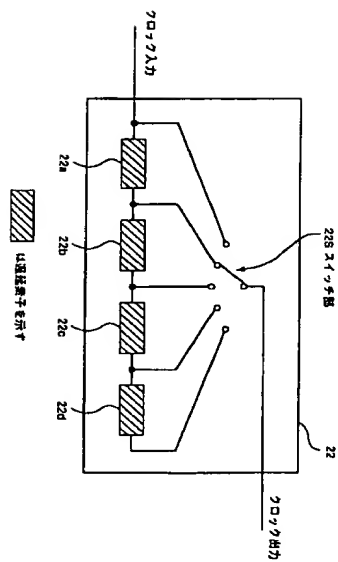
（符号の説明）  
1 CCD  
2 クロック制御部  
3 サンプリング回路（S/H）  
4 オフセットコントローラ手段  
5 クラック回路（CLAMP）  
6 オフセットコントローラ手段  
7 A/Dコンバータ  
21 クロック生成手段  
22 クロック位相制御手段  
23 クロック位相記憶手段  
24 画像信号記憶手段  
25 CPU

【図1】



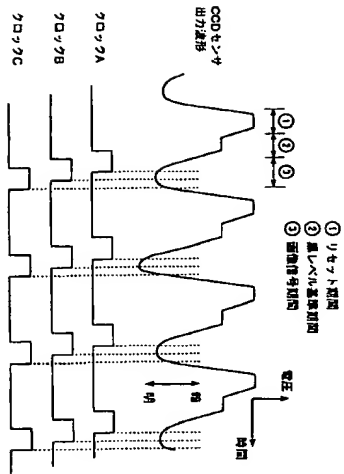
本実施形態を説明するブロック図

【図2】



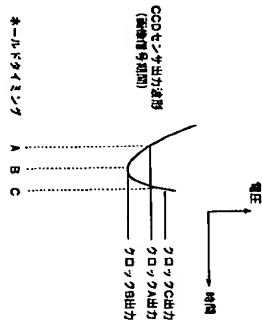
クロック位相制御手段の構成例を示すブロック図

【図3】



出力波形と各クロックとの位相関係を示す図

【図4】



ホールドタイミングによる出力レベルの違いを示す図